

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006年1月12日 (12.01.2006)

PCT

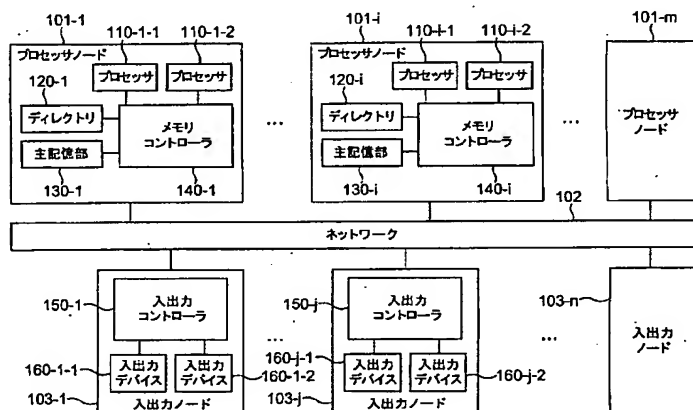
(10) 国際公開番号  
WO 2006/004196 A1

- (51) 国際特許分類:  
G06F 15/17 (2006.01) G06F 12/00 (2006.01)  
G06F 13/36 (2006.01)
- (21) 国際出願番号: PCT/JP2005/012631
- (22) 国際出願日: 2005年7月1日 (01.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-197296 2004年7月2日 (02.07.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). エヌイーシーコンピュータテクノ株式会社 (NEC COMPUT-ERTECHNO, LTD.) [JP/JP]; 〒4000055 山梨県甲府市大津町1088-3 Yamanashi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 細見 岳生 (HO-SOMI, Takeo) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 渡辺 佳晃 (WATANABE, Yoshiaki) [JP/JP]; 〒4000055 山梨県甲府市大津町1088-3 エヌイーシーコンピュータテクノ株式会社内 Yamanashi (JP).
- (74) 代理人: 池田 憲保, 外 (IKEDA, Noriyasu et al.); 〒1050003 東京都港区西新橋一丁目4番10号 第3森ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[続葉有]

(54) Title: MULTI-PROCESSOR SYSTEM AND MEMORY ACCESS PROCESSING METHOD

(54) 発明の名称: マルチプロセッサシステムおよびメモリアクセス処理方法



101-1... PROCESSOR NODE  
110-1-1... PROCESSOR  
110-1-2... PROCESSOR  
120-1... DIRECTORY  
130-1... MAIN STORAGE PART  
140-1... MEMORY CONTROLLER  
101-i... PROCESSOR NODE  
110-i... PROCESSOR  
110+1... PROCESSOR  
120-i... DIRECTORY  
130-i... MAIN STORAGE PART  
140-i... MEMORY CONTROLLER

101-m... PROCESSOR NODE  
102... NETWORK  
150-1... INPUT/OUTPUT CONTROLLER  
160-1-1... INPUT/OUTPUT DEVICE  
160-1-2... INPUT/OUTPUT DEVICE  
103-1... INPUT/OUTPUT NODE  
150-j... INPUT/OUTPUT CONTROLLER  
160-j-1... INPUT/OUTPUT DEVICE  
160-j-2... INPUT/OUTPUT DEVICE  
103-j... INPUT/OUTPUT NODE  
103-n... INPUT/OUTPUT NODE

(57) Abstract: When receiving a write message, an input/output controller issues a write request message to a home processor node that holds the corresponding data in a memory. A memory controller of the processor node having received the write request message performs a consistency processing based on the status of the corresponding data stored in a directory and controls a write permission message to reach the input/output controller having issued the write request message. The input/output controller of the input/output node having received the write permission message issues, as the write message, an update message to the home processor node. The memory controller of the processor node having received the update message updates the data in a main storage part. In the processing described above, when receiving a plurality of write messages from input/output devices, the input/output controller issues a write request message regardless of the progress of the preceding write message, and issues a write message after an issuance of the write message of the preceding write.

[続葉有]



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LI, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 入出力コントローラはライトメッセージを受けたときに、該当するデータをメモリに保持するホームプロセッサノードに書き込み要求メッセージを発行する。書き込み要求メッセージを受け取ったプロセッサノードのメモリコントローラは、ディレクトリに格納された該当するデータの状態に基づいて一貫性処理を行い、該書き込み要求メッセージを発行した入出力コントローラに書き込み許可メッセージが届くように制御する。書き込み許可メッセージを受け取った入出力ノードの入出力コントローラは、ライトメッセージとして更新メッセージをホームプロセッサノードに発行する。更新メッセージを受け取ったプロセッサノードのメモリコントローラは、主記憶部のデータを更新する。上記処理で、入出力コントローラは、入出力デバイスから複数のライトメッセージを受け取ったときに、先行するライトメッセージの進捗にかかわらず書き込み要求メッセージを発行し、先行するライトのライトメッセージ発行が行われた後にライトメッセージを発行する。